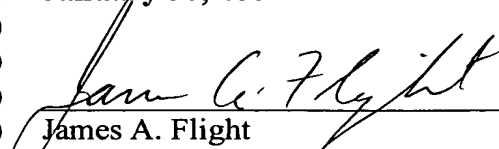


PATENT
Docket No. 20063/OG03-045

**IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE**

Applicant(s): KIM et al.)	I hereby certify that the documents
Serial No.: 10/747,599)	referred to as enclosed herewith are
Filed: December 29, 2003)	being deposited with the United States
For: "Methods for Fabricating)	Postal Service, first class postage
Semiconductor Devices")	prepaid, in an envelope addressed to
Group Art Unit: Unknown)	the Commissioner for Patents, P.O.
Examiner: Not Yet Assigned)	Box 1450, Alexandria, Virginia
)	22313-1450 on this date:
)	
)	January 30, 2004
)	
)	
)	James A. Flight
)	Reg. No. 37,622

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

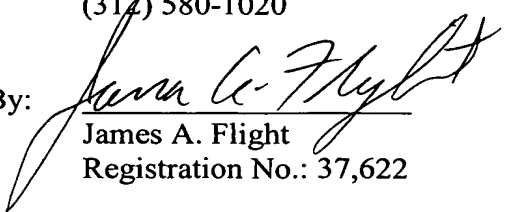
Sir:

Enclosed herewith is a certified copy of Korean Patent Application Serial No.
10-2002-0087898 filed December 31, 2002, the priority of which is claimed under 35
U.S.C. § 119.

Respectfully submitted,

GROSSMAN & FLIGHT, LLC.
Suite 4220
20 North Wacker Drive
Chicago, Illinois 60606
(312) 580-1020

By:


James A. Flight
Registration No.: 37,622

January 30, 2004



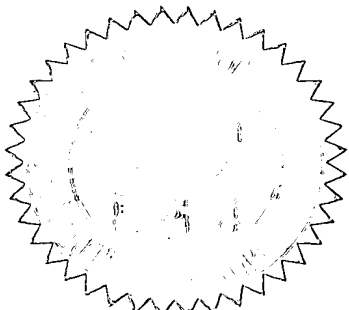
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0087898
Application Number

출원 년 월 일 : 2002년 12월 31일
Date of Application : DEC 31, 2002

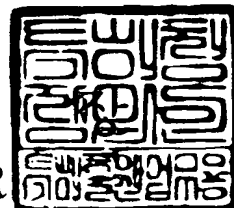
출원인 : 동부전자 주식회사
Applicant(s) : DONGBU ELECTRONICS CO., LTD.



2003 년 11 월 18 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0006		
【제출일자】	2002.12.31		
【발명의 명칭】	반도체 장치 및 이의 제조 방법		
【발명의 영문명칭】	semiconductor device and method for forming having the same		
【출원인】			
【명칭】	동부전자 주식회사		
【출원인코드】	1-1998-106725-7		
【대리인】			
【성명】	강성배		
【대리인코드】	9-1999-000101-3		
【포괄위임등록번호】	2001-050901-4		
【발명자】			
【성명의 국문표기】	김석수		
【성명의 영문표기】	KIM, Seok Su		
【주민등록번호】	650610-1812916		
【우편번호】	467-850		
【주소】	경기도 이천시 대월면 사동리 현대전자아파트 106동 1003호		
【국적】	KR		
【발명자】			
【성명의 국문표기】	최치홍		
【성명의 영문표기】	CHOI, Chee Hong		
【주민등록번호】	730722-1670310		
【우편번호】	604-825		
【주소】	부산광역시 사하구 다대1동 831-1 604-051		
【국적】	KR		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 강성배 (인)		
【수수료】			
【기본출원료】	13	면	29,000 원
【가산출원료】	0	면	0 원

【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	29,000	원		
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

개시된 발명은 게이트 전극과 플레시 게이트 전극이 단일 기판 상에 형성된 맥램과 같은 반도체 장치의 제조 방법 및 장치에 관한 것이다. 기판의 단일 셀 상에 게이트 전극과 플레시 게이트 전극이 형성되어 있다. 그리고, 상기 플레시 게이트 전극의 측벽에는 제1스페이서가 형성되어 있고, 상기 제1스페이서의 측벽과, 상기 게이트 전극의 측벽에는 제2스페이서가 형성되어 있다. 또한, 상기 플레시 게이트 전극의 제1스페이서와 인접하는 기판과, 상기 게이트 전극과 인접하는 기판에 형성되고, 얇은 접합과 깊은 접합의 엘디디 구조를 갖는 소스/드레인 전극이 형성되어 있다. 따라서, 상기 맥램과 같은 반도체 장치의 트랜지스터의 구조물로서 엘디디 구조를 갖는 소스/드레인 전극을 용이하게 형성할 수 있다.

【대표도】

도 6

【명세서】**【발명의 명칭】**

반도체 장치 및 이의 제조 방법{semiconductor device and method for forming having the same}

【도면의 간단한 설명】

도 1 내지 도 6은 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <2> 본 발명은 반도체 장치 및 이의 제조 방법에 관한 것으로서, 보다 상세하게는 게이트 전극과 플레시 게이트 전극이 단일 기판 상에 형성된 맥램(McRAM)과 같은 반도체 장치 및 이의 제조 방법에 관한 것이다.
- <3> 최근, 컴퓨터와 같은 정보 매체의 급속한 보급에 따라 반도체 장치도 비약적으로 발전하고 있다. 그 기능 면에 있어서, 상기 반도체 장치는 고속으로 동작하는 동시에 대용량의 저장 능력을 가질 것이 요구된다. 이러한 요구에 부응함으로써, 상기 반도체 장치는 집적도, 신뢰도 및 응답 속도 등을 향상시키는 방향으로 제조 기술이 발전되고 있다.
- <4> 그리고, 상기 반도체 장치는 휘발성 메모리 장치와 비휘발성 메모리 장치로 구분할 수 있다. 상기 비휘발성 메모리 장치의 예로서는 플레시 메모리 장치, 맥램 장치 등을 들 수 있다

<5> 상기 맥램 장치는 전력 소모가 적고, 제조 비용도 낮고, 정보 처리 속도도 빠르게 때문에 최근에 각광 받고 있다. 상기 맥램 장치는 하나에 셀 내에 게이트 전극과 플레시 게이트 전극이 형성된 특징을 갖는다.

<6> 그러나, 상기 게이트 전극과 플레시 게이트 전극에서의 소스/드레인 전극의 경우, 종래에는 엘디디(LDD : lightly doped drain) 구조로 형성하는 방법이 없었다. 이에 따라, 종래에는 미세 구동을 요구하는 최근의 반도체 장치의 요구에 적절하게 대응하지 못하는 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

<7> 본 발명의 목적은, 플레시 게이트 전극과 게이트 전극을 하나의 셀 내에 갖는 맥램과 같은 반도체 장치에 엘디디 구조의 소스/드레인 전극을 형성하기 위한 방법을 제공하는데 있다.

<8> 본 발명의 다른 목적은, 플레시 게이트 전극과 게이트 전극을 하나의 셀 내에 갖고, 엘디디 구조의 소스/드레인 전극을 갖는 맥램과 같은 반도체 장치를 제공하는데 있다.

【발명의 구성 및 작용】

<9> 상기 목적들을 달성하기 위한 본 발명의 제조 방법은, 활성 영역과 비활성 영역으로 구분된 기판을 마련하는 단계와, 상기 기판의 활성 영역 상에 유전체막 패턴, 제1도전막 패턴 및 절연막 패턴으로 이루어진 플레시 게이트 전극을 형성하는 단계와, 상기 플레시 게이트 전극의 측벽에 제1스페이서를 형성하는 단계와, 상

기 플레시 게이트 전극을 갖는 기판 상에 게이트 산화막 패턴 및 제2도전막 패턴을 갖는 게이트 전극을 형성하는 단계와, 상기 제1스페이서를 이온 주입 마스크로 사용한 제1이온 주입을 실시하여 상기 플레시 게이트 전극의 제1스페이서와 인접하는 기판과, 상기 게이트 전극과 인접하는 기판에 얇은 접합의 소스/드레인 전극을 형성하는 단계와, 상기 제1스페이서의 측벽과, 상기 게이트 전극의 측벽에 제2스페이서를 형성하는 단계와, 상기 제2스페이서를 이온 주입 마스크로 사용한 제2이온 주입을 실시하여 상기 제1스페이스와 인접하는 기판에 깊은 접합의 소스/드레인 전극을 형성하여 엘디디 구조의 소스/드레인 전극을 형성하는 단계를 포함한다.

<10> 상기 목적들을 달성하기 위한 본 발명의 반도체 장치는, 기판의 단일 셀 상에 형성된 게이트 전극과 플레시 게이트 전극과, 상기 플레시 게이트 전극의 측벽에 형성된 제1스페이서와, 상기 제1스페이서의 측벽과, 상기 게이트 전극의 측벽에 형성된 제2스페이서와, 상기 플레시 게이트 전극의 제1스페이서와 인접하는 기판과, 상기 게이트 전극과 인접하는 기판에 형성되고, 얇은 접합과 깊은 접합의 엘디디 구조를 갖는 소스/드레인 전극을 포함한다.

<11> 이와 같이, 본 발명에 의하면, 상기 맥램과 같은 반도체 장치의 트랜지스터의 구조물로써 엘디디 구조를 갖는 소스/드레인 전극을 용이하게 형성할 수 있다. 이에 따라, 미세한 구동 능력을 요구하는 최근의 반도체 장치에 적절하게 응용할 수 있다.

<12> 이하, 본 발명의 바람직한 실시예를 첨부한 도면에 따라서 더욱 상세히 설명하기로 한다

<13> 도 1 내지 도 6은 본 발명의 일 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위한 단면도들이다.

- <14> 도 1을 참조하면, 활성 영역(2)과 비활성 영역(3)으로 구분된 기판(1)을 마련한다. 상기 영역의 구분은 상기 비활성 영역(3)에 소자 분리막으로서 트렌치 구조물을 형성함으로써 달성된다. 또한, 상기 소자 분리막으로서 로코스 공정에 의한 필드 산화막을 형성함으로써 달성되기도 한다.
- <15> 이어서, 상기 기판(1) 상에 유전체막(4), 제1도전체막(5) 및 제1절연막(6)을 순차적으로 적층한다. 이때, 상기 제1도전체막(5)의 예로서는 폴리 실리콘막을 들 수 있고, 상기 제1절연막(6)의 예로서는 산화막, 질화막 등을 들 수 있다.
- <16> 그리고, 플레시 게이트 전극의 형성을 위한 패터닝에서 식각 마스크로 사용하기 위한 제1마스크층(7)을 상기 제1절연막(6) 상에 형성한다. 상기 제1마스크층(7)은 포토레지스트 패턴으로서, 일반적인 사진 식각 공정에 의해 형성된다.
- <17> 도 2를 참조하면, 상기 기판(1)의 활성 영역(2) 상에 플레시 게이트 전극(10)을 형성한다.
- <18> 상기 플레시 게이트 전극(10)의 형성은 다음과 같다. 먼저, 상기 제1마스크층(7)을 식각 마스크로 사용한 식각을 실시하여 상기 제1절연막(6), 제1도전체막(5) 및 유전체막(4)을 순차적으로 제거한다. 이에 따라, 상기 제1절연막(6), 제1도전체막(5) 및 유전체막(4) 각각은 유전체막 패턴(4a), 제1도전체막 패턴(5a) 및 제1절연막 패턴(6a)으로 형성된다. 따라서, 상기 기판(1)의 활성 영역(2) 상에는 유전체막 패턴(4a), 제1도전체막 패턴(5a) 및 제1절연막 패턴(6a)으로 이루어지는 플레시 게이트 전극(10)이 형성된다.
- <19> 이어서, 상기 플레시 게이트 전극(10)의 측벽에 제1스페이서(11)를 형성한다. 상기 제1스페이서(11)는 절연막의 일부를 상기 플레시 게이트 전극(10)에 남김으로써 형성되는데, 구체

적으로는 상기 기판(1)의 결과물 상에 절연막을 형성한 후, 상기 절연막을 에치백(etch back)시켜 상기 플레시 게이트 전극(10)의 측벽에 상기 절연막을 남김으로서 형성된다. 그리고, 상기 절연막의 예로서는 질화막, 산화막 등을 들 수 있다. 이들은 단독으로 형성하거나, 순차적으로 형성할 수도 있다.

<20> 도 3을 참조하면, 상기 기판(1)의 표면 상에 게이트 산화막(13)을 형성한다. 그리고, 상기 게이트 산화막(13)과, 상기 제1스페이서(11) 및 플레시 게이트 전극(10)의 상부 표면 즉, 제1절연막 패턴(9a) 상에 제2도전체막(14)을 연속적으로 형성한다. 상기 제2도전체막(14)의 예로서는 폴리 실리콘막을 들 수 있다.

<21> 그리고, 게이트 전극의 형성을 위한 패터닝에서 식각 마스크로 사용하기 위한 제2마스크층(15)을 상기 제2도전체막(14) 상에 형성한다. 상기 제2마스크층(15)은 포토레지스트 패턴으로서, 일반적인 사진 식각 공정에 의해 형성된다.

<22> 도 4를 참조하면, 상기 플레시 게이트 전극(10)과 중복되는 기판(10) 상에 게이트 전극(20)을 형성한다.

<23> 상기 게이트 전극(20)의 형성은 다음과 같다. 먼저, 상기 제2마스크층(15)을 식각 마스크로 사용한 식각을 실시하여 상기 제2도전체막(14) 및 게이트 산화막(13)을 순차적으로 제거한다. 이에 따라, 상기 제2도전체막(14) 및 게이트 산화막(13) 각각은 제2도전체막 패턴(14a) 및 게이트 산화막 패턴(13a)으로 형성된다. 따라서, 상기 기판(1) 상에는 제2도전체막 패턴(14a) 및 게이트 산화막 패턴(13a)으로 이루어지는 게이트 전극(20)이 형성된다.

<24> 도 5를 참조하면, 상기 게이트 전극(20)의 형성에 의해 노출되는 제1스페이서(11)를 이온 주입 마스크로 사용하는 제1이온 주입을 실시한다. 이에 따라, 상기 플레시 게이트 전극

(10)과 인접하는 영역의 기판(1) 및 상기 게이트 전극(20)과 인접하는 영역의 기판(1)에 얇은 접합의 소스/드레인 전극(30)이 형성된다.

<25> 도 6을 참조하면, 상기 제1스페이서(11)의 측벽에 제2스페이서(12)를 형성한다. 상기 제2스페이서(12)는 절연막의 일부를 상기 제1스페이서(11)의 측벽에 남김으로서 형성되는데, 구체적으로는 상기 기판(1)의 결과물 상에 절연막을 형성한 후, 상기 절연막을 에치백(etch back)시켜 상기 제1스페이서(11)의 측벽에 상기 절연막을 남김으로서 형성된다. 그리고, 상기 절연막의 예로서는, 제1스페이서(11)와 마찬가지로, 질화막, 산화막 등을 들 수 있다. 이들은 단독으로 형성하거나, 순차적으로 형성할 수도 있다.

<26> 이어서, 제2스페이서(12)를 이온 주입 마스크로 사용하는 제2이온 주입을 실시한다. 이에 따라, 상기 제1스페이서(11)와 인접하는 영역의 기판(1)에 깊은 접합의 소스/드레인 전극(31)이 형성된다.

<27> 따라서, 상기 기판에 얇은 접합의 소스/드레인 전극(30) 및 깊은 접합의 소스/드레인 전극(31)을 포함하는 엘디디 구조의 소스/드레인 전극(40)이 형성된다.

<28> 이와 같이, 상기 방법에 의해 게이트 전극(20)과 플레시 게이트 전극(10) 및 엘디디 구조를 갖는 소스/드레인 전극(30)을 포함하는 맥램 등과 같은 반도체 장치를 구현할 수 있는 것이다.

【발명의 효과】

<29> 이와 같이, 본 발명에 의하면, 맥램과 같은 반도체 장치에 엘디디 구조의 소스/드레인 전극을 용이하게 형성할 수 있다. 따라서, 최근의 맥램과 같은 반도체 장치의 제조에 적극적으로 적용할 수 있다.

<30> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

활성 영역과 비활성 영역으로 구분된 기판을 마련하는 단계;

상기 기판의 활성 영역 상에 유전체막 패턴, 제1도전막 패턴 및 절연막 패턴으로 이루어진 플레시 게이트 전극을 형성하는 단계;

상기 플레시 게이트 전극의 측벽에 제1스페이서를 형성하는 단계;

상기 플레시 게이트 전극을 갖는 기판 상에 게이트 산화막 패턴 및 제2도전막 패턴을 갖는 게이트 전극을 형성하는 단계;

상기 제1스페이서를 이온 주입 마스크로 사용한 제1이온 주입을 실시하여 상기 플레시 게이트 전극의 제1스페이서와 인접하는 기판과, 상기 게이트 전극과 인접하는 기판에 상기 얇은 접합의 소스/드레인 전극을 형성하는 단계;

상기 제1스페이서의 측벽과, 상기 게이트 전극의 측벽에 제2스페이서를 형성하는 단계;
및

상기 제2스페이서를 이온 주입 마스크로 사용한 제2이온 주입을 실시하여 상기 플레시 게이트 전극과 인접하는 기판에

얇은 접합의 소스/드레인 전극을 형성하여 엘디디(LDD) 구조의 소스/드레인 전극을 형성하는 단계를 포함하는 반도체 장치의 제조 방법.

【청구항 2】

제1항에 있어서, 상기 제1스페이서의 형성은,

상기 기판의 결과물 상에 제1절연막을 형성하는 단계;

상기 제1절연막을 에치백시켜 상기 플레시 게이트 전극의 측벽에 상기 제1절연막을 남기는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 3】

제1항에 있어서, 상기 제2스페이서의 형성은,

상기 기판의 결과물 상에 제2절연막을 형성하는 단계;

상기 제2절연막을 에치백시켜 상기 제1스페이서의 측벽과, 상기 게이트 전극의 측벽에 상기 제2절연막을 남기는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

【청구항 4】

기판의 단일 셀 상에 형성된 게이트 전극과 플레시 게이트 전극;

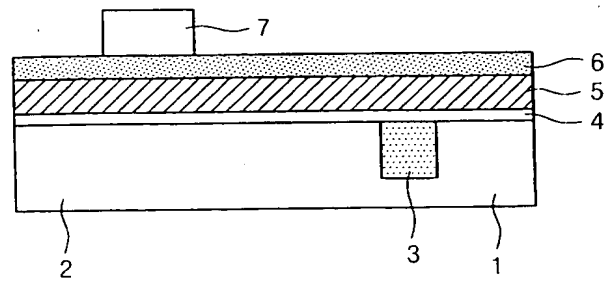
상기 플레시 게이트 전극의 측벽에 형성된 제1스페이서;

상기 제1스페이서의 측벽과, 상기 게이트 전극의 측벽에 형성된 제2스페이서; 및

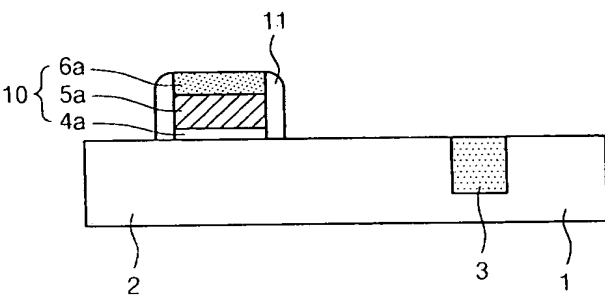
상기 플레시 게이트 전극의 제1스페이서와 인접하는 기판과, 상기 게이트 전극과 인접하는 기판에 얇은 접합과 깊은 접합의 엘디디 구조를 갖는 소스/드레인 전극을 포함하는 반도체 장치.

【도면】

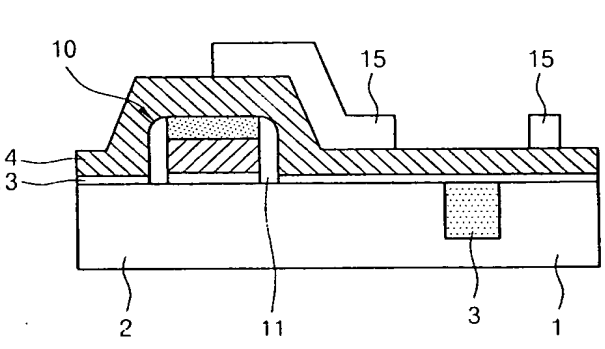
【도 1】



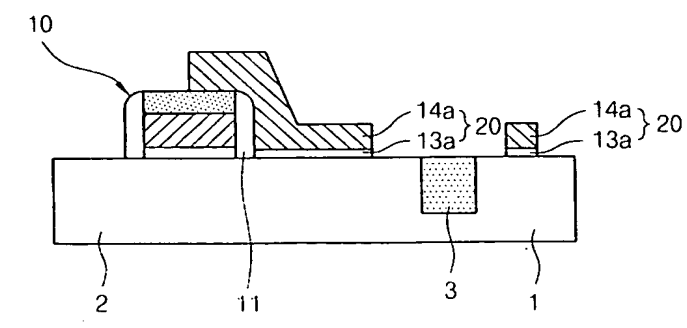
【도 2】



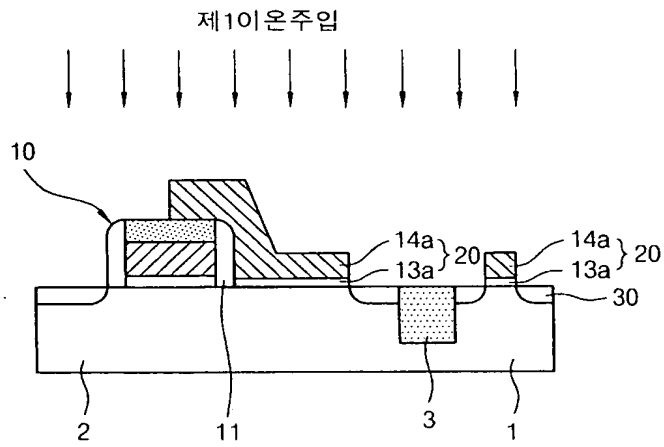
【도 3】



【도 4】



【도 5】



【도 6】

